



专题课说明书

时序约束工程课

明 德 扬 科 教

2023年12月18日

一、明德扬公司介绍

明德扬是一家以现场可编程门阵列（FPGA）为核心的高科技IT企业，主要致力于FPGA人才的教育、培训，项目研发等。

公司创始人潘文明先生独创“潘文明至简设计法”至今已由万名学员亲身见证，其简单、易学、高效、便捷、实用得到广大学习者高度认可。

明德扬科教立志成为中国FPGA教育领域第一品牌。

公司使命：育芯才，让国芯梦成为现实！

二、导师介绍



潘文明独创至简设计法

公司创始人潘文明先生独创“潘文明至简设计法”至今已由万名学员亲身见证，其简单、易学、高效、便捷、实用得到广大学习者高度认可。

潘文明

金牌讲师

至简设计法创始人

已帮助 12000+ 学员提升 FPGA 能力 实现高薪就业

讲师介绍

- 广州健飞通信&明德扬科技教育 CEO
- 至简设计法创始人 FPGA 精英导师
- 暨南大学校外研究生导师
- 出版《手把手教你学 FPGA 设计》
- 在中科院/华为工作多年，项目经验丰富

潘文明 金牌导师

- ◆ 广州健飞通信&明德扬科技教育CEO
- ◆ 至简设计法创始人 FPGA精英导师
- ◆ 暨南大学校外研究生导师
- ◆ 出版《手把手教你学FPGA设计》
- ◆ 在中科院/华为工作多年，项目经验丰富

已帮助12000+学员提升FPGA能力，高薪就业

三、明德扬专题课体系简介

明德扬推出一系列精品专题视频课程，包括高手修炼课、实用调试技巧课、FIFO架构设计课、温度检测工程课、DDR3/SDRAM接口课、边缘检测工程课、千兆网工程课、时序约束专题课、JESD204B高速接口和光纤大项目处理课程等。

阶段	课程	课程介绍课程介绍
设计能力	高手修炼课	至简设计基础，是所有项目课程的基础。提升设计能力。
	时序约束课	全面系统深入的时序约束课程
	FIFO架构设计课	助你快速成为架构设计师
调试能力	调试技巧课	快速定位问题，提高解决问题的能力
项目开发能力	温度检测工程课	体验企业项目流程，架构设计、模块划分、代码编写
	边缘检测工程课	图像处理类必学项目
	千兆网工程课	高阶工程项目
	DDR3/SDRAM接口课	掌握SDRAM接口的设计技巧，以及DDR3的IP核使用
短时间快速掌握企业高阶项目	JESD204B高速接口课	掌握 JESD204B 协议；掌握高速 DA 芯片 AD9144 的使用方法，阅读企业项目，了解企业架构
	光纤大数据处理课	光纤架构和数据流概述、模块设计与解析、DDR3/光纤IP、光纤接口、GTX 接口模块以及上板验证

四、时序约束课程介绍

FPGA时序约束是FPGA设计中的一个重点，也是难点。

- ◆ 时序约束是什么？
- ◆ 时序约束用在哪些场景？
- ◆ 时序约束到底怎么用？
- ◆ Input delay和output delay会设置，但不知道填什么值？
- ◆ 调试高速接口时，数据不稳定，如何通过时序约束来解决？
- ◆ 时序报告出来后，如何分析报告，判断路径？
- ◆ 面对这些你是否一头乱麻，无从下手，望而生畏？
- ◆ 现有的教材大部分是介绍概念、时序分析工具和计算公式的。我们学习之后觉得已经完全掌握，但当需要真正做项目时，会有无从下手的感觉？

明德扬最看重的是实践经验，一切不能用于实践的理论都是扯淡。为此，明德扬抛开一切复杂的理论，就从工程实践的角度来讲解时序约束。

（一）课程目标

一个傻瓜式、但实用的时序约束“操作手册”。本课程，介绍了我们的“操作手册”，保证让你有意外的收获！让学员再遇到时序约束的问题时可以做到不再迷茫，做起来项目来手到擒来，游刃有余。

（二）详细内容

明德扬的特色是把课程做到通俗易懂，时序约束是FPGA/IC工程师核心技能。本课程课程结构安排合理，基于QUARTUS和VIVADO两大平台来讲解时序约束，包括时序约束理论、时序约束步骤和时序培训三大部分。

章节	主题	主要内容
第1章 时序理论	01 时序原理	01 FPGA 时序原理
	02 工具使用 QUARTUS	01 用 <u>quartus</u> 分析时序
		02 <u>timequest</u> 的使用
	02 工具使用 VIVADO	01 <u>vivado</u> 设置时序约束流程
		02 <u>vivado</u> 查看时序情况
	03 亚稳态	01 亚稳态的原因和危害
		02 减少亚稳态危害的方法
	04 流水线	01 为什么要进行流水线
		02 流水线之 3 个乘法器实现练习
		03 流水线之优化 3 个乘法器电路结构练习
		04 流水线之至多 1 个乘法器延时的流水线练习
	05 随路时钟	时序约束课程_随路时钟
第2章 时序约束步骤	01 时序约束步骤 _VIVADO	01 时序约束步骤
		02 生成时钟约束
		03 input delay 约束
		04 output delay 约束
		05 时序例外约束
		06 时序约束总结
	02 时序案例练习	01_练习说明和思路_QUARTUS (8 个练习项目)
		02_练习工程_QUARTUS (8 个练习项目)
第3章 培训视频_VIVADO	01 视频	03_练习工程_VIVADO (8 个练习项目)
		04_练习工程答案_QUARTUS
		时序约束培训 01_180328
		时序约束培训 02_VIVADO_180328
		时序约束培训 03_时钟和输入延时_180402
		时序约束培训 04_输出延时和时序例外_180409
		时序约束培训 05_00_VIVADO 时序路径原理
		时序约束培训 05_01_时序报表解读_180418
		时序约束培训 06_时序报表解读 2 和 <u>sdram</u> 案例_180506
	02 练习	时序约束培训 07_随路时钟方法_180610
		练习工程 (两个项目练习, 操作步骤细致)

(三) 第三章培训重点视频详细介绍

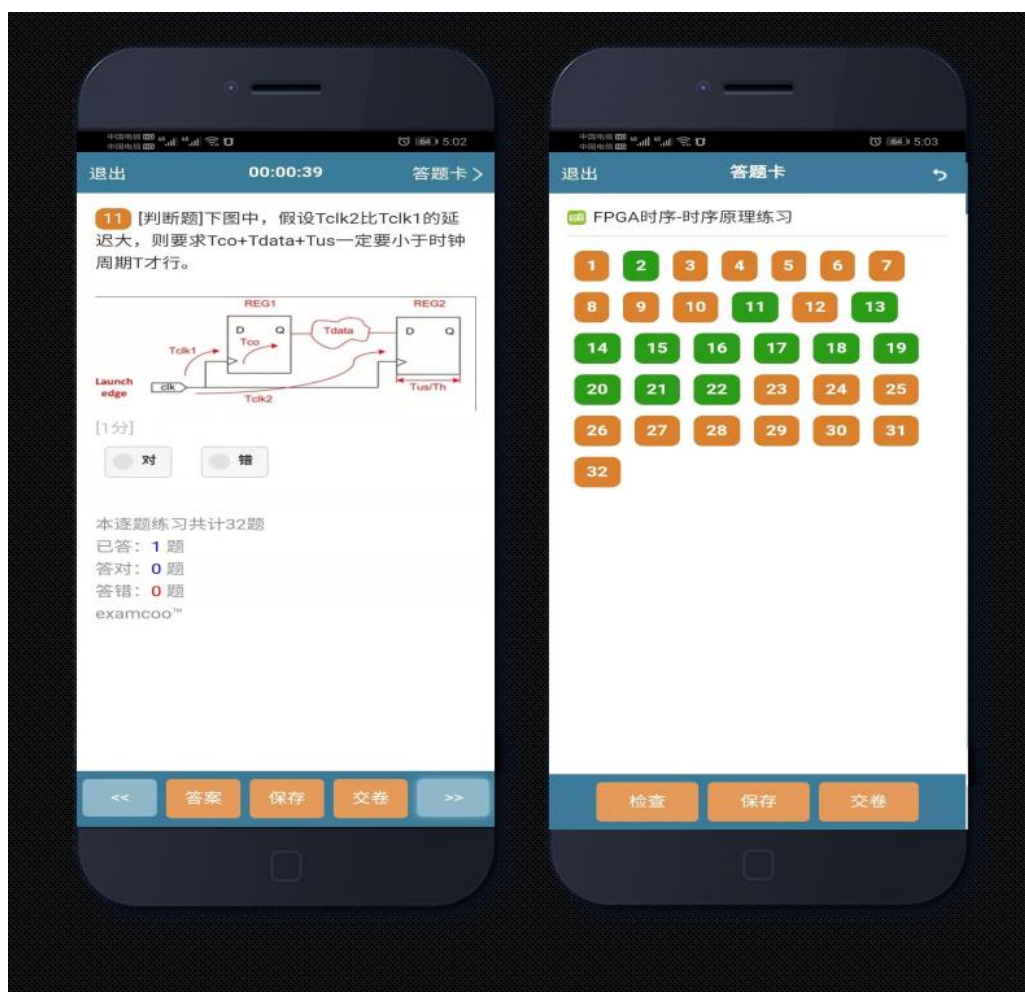
序号	标题	时长 (分钟)	内容简介
1	时序约束培训 01_180328	62	本视频为网络时序约束培训班第一堂课。 a. 引言并提出问题，为什么有些芯片速度快，有些芯片速度慢。 b. 建立时间和保持时间概念 c. 寄存器延时、组合逻辑延时等各种时序概念 d. 分析时钟频率的影响因素 e. 关键路径及解决方法 f. 流水线设计 g. 通过工厂流水线的几个例子，说明解决FPGA时序问题的思路，并现场修改代码进行讲解。
2	时序约束培训 02_VIVADO_180328	67	本视频为网络时序约束培训班第二堂课。 a. 演示Vivado新建工程 b. 通过一个示例，演示如何通过vivado完成时序约束，并从中讲解概念。 c. 简单演示如何从VIVADO中看时序结果 d. 演示altera的timequest工具的使用。两个工具是大同小异的，说明工具不是问题。
3	时钟和输入延时_180402	93	本视频为网络时序约束培训班第三堂课。 a. Vivado对时钟进行约束的方法 b. 分别讲解了输入时钟（包括管脚直接输入、差分时钟和GT恢复时钟）、PLL等衍生时钟和自己分频时钟的约束方法 c. 讨论了虚拟时钟概念、作用和使用场合。 d. 第36分钟开始，重点讲述输入延时(input delay)的约束。 e. 重点讲解input delay的概念 f. 讲解系统同步、源同步中SDR、源同步中的DDR中心对齐、源同步中的DDR边沿对齐、有数据无时钟等几个场合，input delay的约束方法。重点讨论各个场合下，参数如何获取的问题。
4	04_输出延时 时序例外_180409	108	本视频为网络时序约束培训班第四堂课。 a. 重点讲解output delay的概念 b. 讲解系统同步、源同步中SDR、源同步中的DDR中心对齐、源同步中的DDR边沿对齐、有数据无时钟等几个场合，input delay的约束方法 c. 简单介绍“多周期路径”，没有详细讲 d. 双向IO口的约束方法 e. 异步时钟的约束方法。通过代码，重点讨论了亚稳态的原因、预防方法。这个是重点中的重点。
5	时序报表解读_180418	89	本视频为网络时序约束培训班第五堂课。 a. 35分钟，讲解VIVADO时序分析原理，内容有：Capture Edge vs Launch Edge、Four types of timing path、timing path sections、data arrive time、clock arrive time、data required time – set up、data required time – hold、setup slack、hold slack、slack公式。 b. 通过一个工程，利用VIVADO进行约束并导出报表。 c. 对整个报表进行讲解，内容包括：如何区分建立时间分析和保持时钟分析、讲解报表中路径对应关系、讲解路径延时的计算方法。
6	时序报表解读2和sdr案例_180506	68	本视频为网络时序约束培训班第六堂课。 a. 对上一堂课的遗留问题给出解答。 b. 实例，通过某学员的一个SDRAM项目，分析该SDRAM项目的input delay参数计算方法和约束方法。
7	随路时钟方法_180610	66	本视频为网络时序约束培训班第七堂课，也是最后一堂课。 a. 讲解工程应用中有效的时序约束方法：随路时钟方法 b. 随路时钟的概念 c. 通过一个案例讲解随路时钟的使用方法

（四）课程形式

视频课程：购买课程资料线上学习，包括视频，文档，源工程等，提供QQ群在线答疑服务。

（五）在线练习平台





(六) 课程优势

- 1、 基于QUARTUS和VIVADO双平台的时序约束教程；
- 2、 提供丰富全面的配套工程练习，配合教程学习；
- 3、 课程资料终身有效，可永久反复观看学习；
- 4、 教授一套简单且实用的时序约束“操作手册”；
- 5、 贴身答疑服务，一次学习，终身受益；
- 6、 丰富的培训案例

优秀培训案例

1. 上海天马微电子集团时序约束专题企业内训。



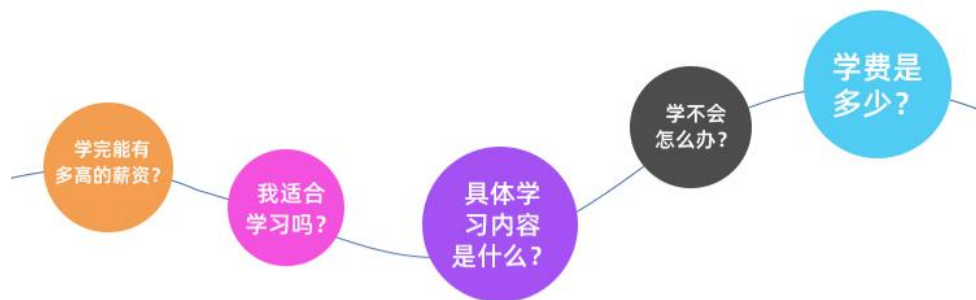
2. 暨南大学电子工程实践实训课程



3. 厦门大学与厦门理工学院实训课程



好评如潮.....



还在问适合不适合吗?
还需要考虑会不会后悔吗?

**继续徘徊不前
什么时候才能改变现状?**

**直接迈出这一步!
你就是下一个精英!**



温馨提示：学习过程中遇到问题请查看问题

汇总贴：http://www.mdy-edu.com/news_94/453.html

如果帖子没有的请及时反馈给老师补充！

五、更多帮助

- 1、明德扬官网：新版<http://www.mdy-edu.com/> 旧版<http://old.mdy-edu.com/>
- 2、客服热线：13112063618（微信同步）
- 3、论坛：www.fpgabbs.com
- 4、线上商城：
 - (1) mdy-edu.taobao.com
 - (2) shop247359875.taobao.com
- 5、FPGA交流群：603926119
- 6、明德扬微信公众号：—————→

