



用户手册

MP5705开发板

明 德 扬 科 教

2023年11月30日

文档版本

版本	修改记录
REV1.0	创建文档
2.0	2023-7-27

目录

文档版本.....	1
一、开发板简介.....	3
1.1 产品简介.....	3
1.2 接口列表	4
1.3 产品外观.....	5
1.4开发板结构图	5
二、主要接口介绍.....	5
2.1 SFP接口.....	5
2.2 千兆网接口.....	7
2.3 PCIE接口.....	11
2.4 SATA接口.....	14
2.5 40针扩展口	16
2.6 JTAG接口.....	17
三、底板电源	17
3.1供电接口.....	17
3.2 电源电路	19
四、技术支持.....	20
五、更多帮助.....	20

一、开发板简介

1.1 产品简介

MP5705开发板底板适配本公司相关核心板，型号为MP5650（详见MP5650用户手册）。通过核心板+底板的模式来设计组成完整的开发。底板与核心板采用4个120pin高速板间连接器对插，型号为PANASONIC公司的AXK5A2137YG和AXK6A2337YG。底板按照全高半长PCIE板卡设计，可以直接安装在电脑机箱中使用。

MP5705底板为方便用户进行二次开发，扩展了一系列外围接口。其中包括2路SFP光纤接口、2路千兆以太网接口、4路SATA接口、PCIE x8接口、4路SMA接口、2组40针扩展接口（其中一组全部为差分信号）、板载下载器以及若干按键、LED、板载GTX时钟等。

MP5705底板硬件框图如图1.1所示：

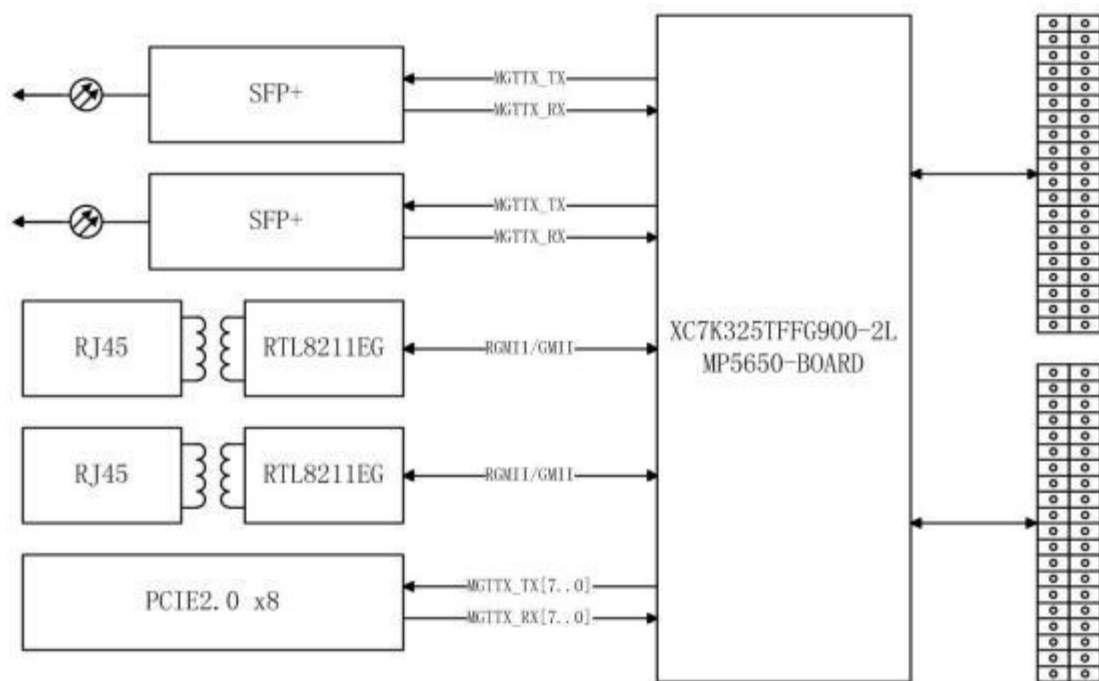


图1.1 MP5705底板硬件框图

1.2 接口列表

名称	说明	数量
SFP/SFP+	≥10.3125G	2
Gigabit Ethernet	10/100/1000Mbps	2
PCIE x8	GEN 3.0	1
SATA	VER3.0	4
40PIN EXT IO	28个普通IO、18组差分IO	2
SMA	连接至MRCC	4
JTAG	MicroUSB接口	1
BUTTON	—	3
LED	—	8

1.3 产品外观



1.4 开发板结构图

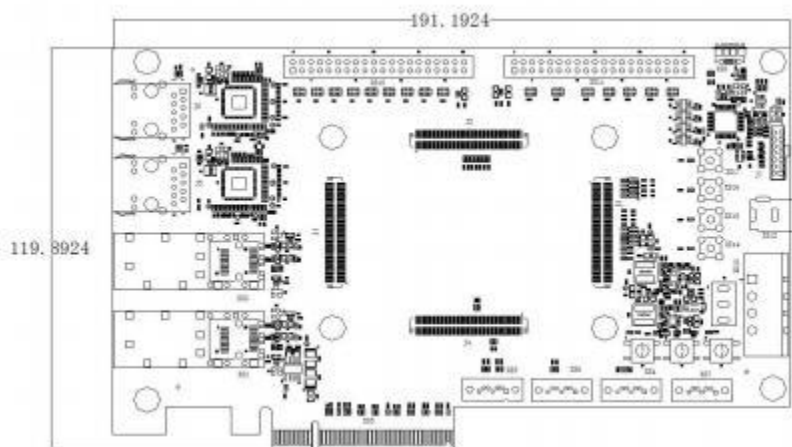


图1-4-1 产品结构尺寸图

二、主要接口介绍

2.1 SFP接口

板上共2个光模块的发送和接收与J4相连，实现2路高速的光纤通信接口。每一路光模块的电路原理图如图2.1所示：

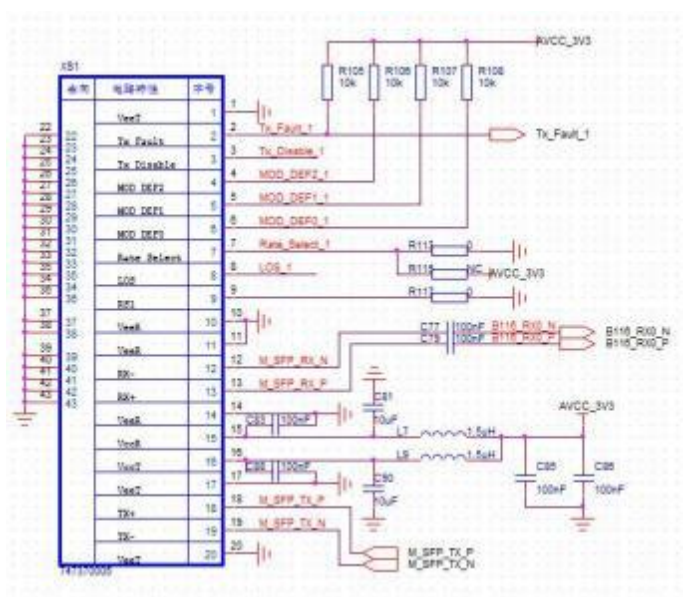


图2.1 单路光模块电路原理图

每路的光纤数据通信接收和发送的速度高达10.3125Gb/s。用户可以将SFP/SFP+光模块插入到这2个光纤接口中进行光纤数据通信。2路光纤接口与J4连接器相连接。J4连接器与MP5650核心板上FPGA的GTX相连接。SFP/SFP+接口的引脚配置如表2.1所示:

表2.1 SFP/SFP+接口的引脚配置

信号名称	连接器管脚	对应FPGA管脚名称（MP5650）
M_SFP_TX_P	J4_32	B116_TX0_P
M_SFP_TX_N	J4_34	B116_TX0_N

信号名称	连接器管脚	对应FPGA管脚名称（MP5650）
M_SFP_RX_P	J4_31	B116_RX0_P
M_SFP_RX_N	J4_33	B116_RX0_N
Tx_Fault_1	J2_61	B15_L10_P
Tx_Disable_1	J2_65	B15_L11_P
LOS_1	J2_63	B15_L10_N
S_SFP_TX_P	J4_49	B116_TX1_P
S_SFP_TX_N	J4_51	B116_TX1_N
S_SFP_RX_P	J4_37	B116_RX1_P
S_SFP_RX_N	J4_39	B116_RX1_N
Tx_Fault_2	J2_67	B15_L11_N
Tx_Disable_2	J2_73	B15_L2_N
LOS_2	J2_71	B15_L2_P

2.2 千兆网接口

板上共设计了2路千兆网接口，使用了Realtek公司的RTL8211EG芯片。该芯片是符合10Base-T，100Base-TX和1000Base-T IEEE802.3标准的高集成度的以太网收发器。芯片与MAC之间支持RGMII接口和GMII接口。在MP5705的设计中默认支持RGMII。千兆网接口部分电路原理如图2.2所示：

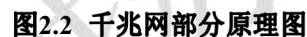


表2.2 千兆网接口引脚配置表

信号名称	连接器管脚	对应FPGA管脚名称（MP5650）
PHY1_TX0	J1_22	B18_L19_P
PHY1_TX1	J1_24	B18_L19_N
PHY1_TX2	J1_26	B18_L15_P
PHY1_TX3	J1_28	B18_L15_N
PHY1_TX4	J1_42	B18_L24_P
PHY1_TX5	J1_44	B18_L24_N

信号名称	连接器管脚	对应FPGA管脚名称（MP5650）
PHY1_TX6	J1_46	B18_L5_P
PHY1_TX7	J1_48	B18_L5_N
PHY1_RX0	J1_21	B18_L2_P
PHY1_RX1	J1_23	B18_L2_N
PHY1_RX2	J1_25	B18_L8_P
PHY1_RX3	J1_27	B18_L8_N
PHY1_RX4	J1_31	B18_L22_P
PHY1_RX5	J1_33	B18_L22_N
PHY1_RX6	J1_35	B18_L14_P
PHY1_RX7	J1_37	B18_L14_N
PHY1_TX_CLK	J1_32	B18_L11_P
PHY1_RX_CLK	J1_15	B18_L13_P
PHY1_GTX_CLK	J1_41	B18_L3_P
PHY1_RXDV	J1_43	B18_L3_N
PHY1_TXEN	J1_45	B18_L1_P
PHY1_RSTn	J1_47	B18_L1_N
PHY1_INT	J1_51	B18_L21_P
PHY1_MDIO	J1_53	B18_L21_N
PHY1_MDC	J1_55	B18_L9_P
PHY1_TXER	J1_57	B18_L9_N
PHY1_RXER	J1_54	B18_L20_N
PHY1_COL	J1_56	B18_L23_P
PHY1_CRS	J1_58	B18_L23_N
PHY2_TX0	J1_92	B17_L4_P

信号名称	连接器管脚	对应FPGA管脚名称（MP5650）
PHY2_TX1	J1_94	B17_L4_N
PHY2_TX2	J1_96	B17_L2_P
PHY2_TX3	J1_98	B17_L2_N
PHY2_TX4	J1_104	B17_L11_N
PHY2_TX5	J1_106	B17_L21_P
PHY2_TX6	J1_108	B17_L21_N
PHY2_TX7	J1_117	B17_L9_N
PHY2_RX0	J1_67	B17_L3_N
PHY2_RX1	J1_71	B17_L15_P
PHY2_RX2	J1_73	B17_L15_N
PHY2_RX3	J1_75	B17_L5_P
PHY2_RX4	J1_87	B17_L14_N
PHY2_RX5	J1_83	B17_L1_N
PHY2_RX6	J1_81	B17_L1_P
PHY2_RX7	J1_77	B17_L5_N
PHY2_TX_CLK	J1_102	B17_L11_P
PHY2_RX_CLK	J1_85	B17_L14_P
PHY2_GTX_CLK	J1_86	B17_L13_P
PHY2_RXDV	J1_105	B17_L7_P
PHY2_TXEN	J1_103	B17_L8_N
PHY2_RSTn	J1_101	B17_L8_P
PHY2_INT	J1_91	B17_L17_P
PHY2_MDIO	J1_93	B17_L17_N
PHY2_MDC	J1_95	B17_L6_P

信号名称	连接器管脚	对应FPGA管脚名称（MP5650）
PHY2_TXER	J1_97	B17_L6_N
PHY2_RXER	J1_115	B17_L9_P
PHY2_COL	J1_113	B17_L10_N
PHY2_CRS	J1_107	B17_L7_N

2.3 PCIE接口

MP5705底板配备了一个PCIE x8 GEN3.0的PCIE接口，为FPGA与处理器通信提供了强大的接口。PCIe具备如下优点：

- 1) 带宽高，目前FPGA有PCIe Gen3 x16，或者PCIe Gen4 x8，链路速度可以达到128Gbps；
- 2) FPGA直连，不需要外部PHY；
- 3) 协议保证数据无误传输，两级CRC，重传机制，保证数据无误；
- 4) 软件生态丰富，各种系统原生支持，通过简单的驱动就可以完成数据交互；
- 5) 在PCIe之上的协议逐渐增多，例如NVMe是基于PCIe的上层协议；

Xilinx从15年前，V4系列开始，一直在PCIe的解决方案上深耕，提供众多的应用方案级的解决方案，方便用户专注于自己的应用。早期，Xilinx提供的有Application Notes，例如

XAPP859, XAPP1052等, 构建了基本的双向数据传输。当时一些第三方公司, 类似于PLDA, NwLogic也出针对Xilinx FPGA的PCIe传输方案。

后来, Xilinx团队2017年附近推出XDMA解决方案, 并持续增加功能、修正Bug, 到目前为止, XDMA已经成为一个功能强大、成熟稳定的Xilinx FPGA解决方案。功能上涵盖了SG功能, AXI-Lite功能, 多通道分离, AXI-MM和AXI-Stream支持等。稳定性上, 经过4年的逐步完善, 目前已经有众多的客户基于这套方案实现产品, 涵盖医疗、电力、通讯、数据中心等各种应用。

MP5705底板PCIE接口引脚配置表如表2.3所示:

表2.3 PCIE接口引脚配置表

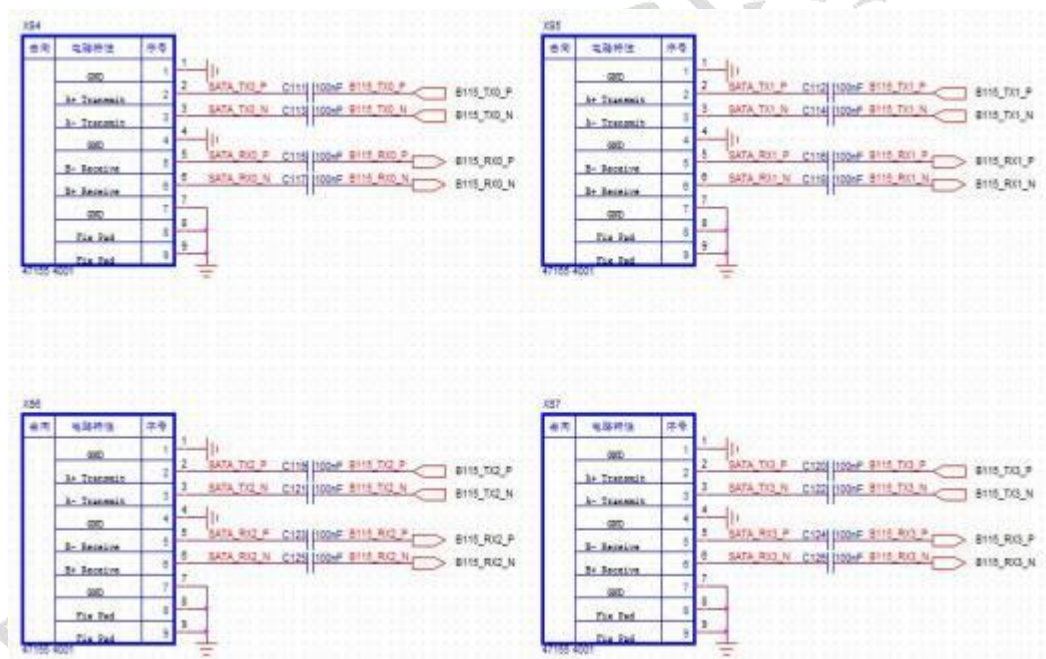
信号名称	连接器管脚	对应FPGA管脚名称 (MP5650)
PCIE_TX0_P	J2_67	B117_RX0_P
PCIE_TX0_N	J2_69	B117_RX0_N
PCIE_TX1_P	J2_79	B117_RX1_P
PCIE_TX1_N	J2_81	B117_RX1_N
PCIE_TX2_P	J2_74	B117_RX2_P
PCIE_TX2_N	J2_76	B117_RX2_N
PCIE_TX3_P	J2_85	B117_RX3_P
PCIE_TX3_N	J2_87	B117_RX3_N

信号名称	连接器管脚	对应FPGA管脚名称（MP5650）
PCIE_TX4_P	J2_115	B118_RX0_P
PCIE_TX4_N	J2_117	B118_RX0_N
PCIE_TX5_P	J2_98	B118_RX1_P
PCIE_TX5_N	J2_100	B118_RX1_N
PCIE_TX6_P	J2_110	B118_RX2_P
PCIE_TX6_N	J2_112	B118_RX2_N
PCIE_TX7_P	J2_116	B118_RX3_P
PCIE_TX7_N	J2_118	B118_RX3_N
PCIE_RX0_P	J2_68	B117_TX0_P
PCIE_RX0_N	J2_70	B117_TX0_N
PCIE_RX1_P	J2_62	B117_TX1_P
PCIE_RX1_N	J2_64	B117_TX1_N
PCIE_RX2_P	J2_80	B117_TX2_P
PCIE_RX2_N	J2_82	B117_TX2_N
PCIE_RX3_P	J2_86	B117_TX3_P
PCIE_RX3_N	J2_88	B117_TX3_N
PCIE_RX4_P	J2_103	B118_TX0_P
PCIE_RX4_N	J2_105	B118_TX0_N
PCIE_RX5_P	J2_109	B118_TX1_P
PCIE_RX5_N	J2_111	B118_TX1_N
PCIE_RX6_P	J2_91	B118_TX2_P
PCIE_RX6_N	J2_93	B118_TX2_N
PCIE_RX7_P	J2_97	B118_TX3_P
PCIE_RX7_N	J2_99	B118_TX3_N

信号名称	连接器管脚	对应FPGA管脚名称（MP5650）
PCIE_CLK_P	J2_104	B118_CLK0_P
PCIE_CLK_N	J2_106	B118_CLK0_N
PCIE_PERST	J2_75	B15_L18_P

2.4 SATA接口

MP5705板载4个SATA接口，配合MP5650核心板可实现SATA3.0的全部功能。电路原理图如图2.4所示：



的传输功能定义，并且他们的传输速率也不尽相同。SATA1.0的传输速率只有150MB/s，SATA2.0扩展为300MB/s，SATA3.0将端口的传输速率提升至6Gbit/s。

MP5705底板SATA接口引脚配置表如表2.4所示：

表2.4 SATA接口引脚配置表

信号名称	连接器管脚	对应FPGA管脚名称（MP5650）
SATA_TX0_P	J4_8	B115_TX0_P
SATA_TX0_N	J4_10	B115_TX0_N
SATA_RX0_P	J4_2	B115_RX0_P
SATA_RX0_N	J4_4	B115_RX0_N
SATA_TX1_P	J4_20	B115_TX1_P
SATA_TX1_N	J4_22	B115_TX1_N
SATA_RX1_P	J4_26	B115_RX1_P
SATA_RX1_N	J4_28	B115_RX1_N
SATA_TX2_P	J4_13	B115_TX2_P
SATA_TX2_N	J4_15	B115_TX2_N
SATA_RX2_P	J4_14	B115_RX2_P
SATA_RX2_N	J4_16	B115_RX2_N
SATA_TX3_P	J4_19	B115_TX3_P
SATA_TX3_N	J4_21	B115_TX3_N
SATA_RX3_P	J4_7	B115_RX3_P
SATA_RX3_N	J4_9	B115_RX3_N

2.5 40针扩展口

底板预留了2个2.54mm标准间距的40针的扩展口XS10和XS11，用于连接本公司设计的各个模块或者用户自己设计的模块功能电路，其中XS10上的18组差分信号在PCB布局上全部严格按照差分线布局，用户可以根据自己的需要选择。XS10和XS11的电路原理图如图2.5和2.6所示：



图2.5 XS10电路原理图



图2.6 XS11电路原理图

2.6 JTAG接口

MP5705底板配备了一个板载JTAG电路。用户可以直接用一根MicroUSB线连接到底板即可实现FPGA在线升级和固化。由于该部分电路是直接焊接在底板上，因此不必担心热插拔造成FPGA芯片损坏。此外，MP5705底板还预留了标准2mm间距的14针JTAG接口，用户在购买的时候可以选择是否需要板载JTAG电路。

三、底板电源

3.1供电接口

底板集成电源管理，支持+6V~+17V宽压输入。电源输入支持两种方式连接。一种为普通的DC-005(2.0)插座，如图3.1

所示。一般用于简单的板级调试，可以直接使用12V的电源适配器，具有很强的灵活性。



图3.1 DC-005(2.0)实物照片

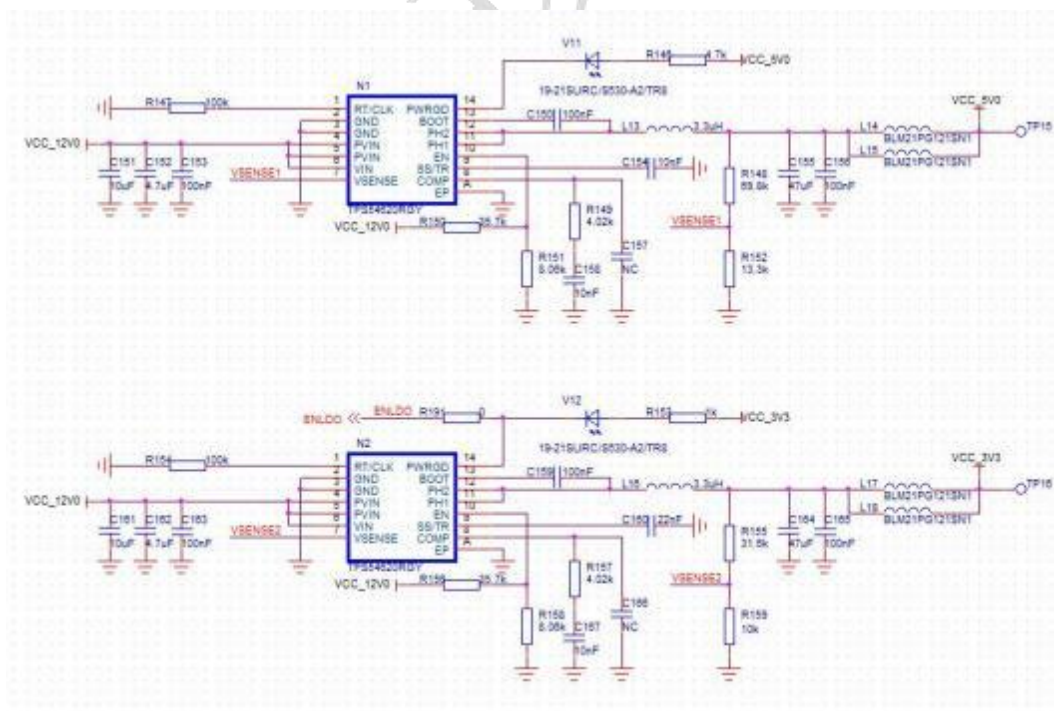
另一种方式采用凤凰座进行连接，型号为TE公司的796866-4。实物图如图3.2所示。该连接器耐压高，接触电阻小，抗震性优异，能承受 $-40^{\circ}\text{C} \sim +105^{\circ}\text{C}$ 高温。插头与插座之间由锁紧螺丝固定，适合在工业级设备上使用。可直接用于工程样机开发。



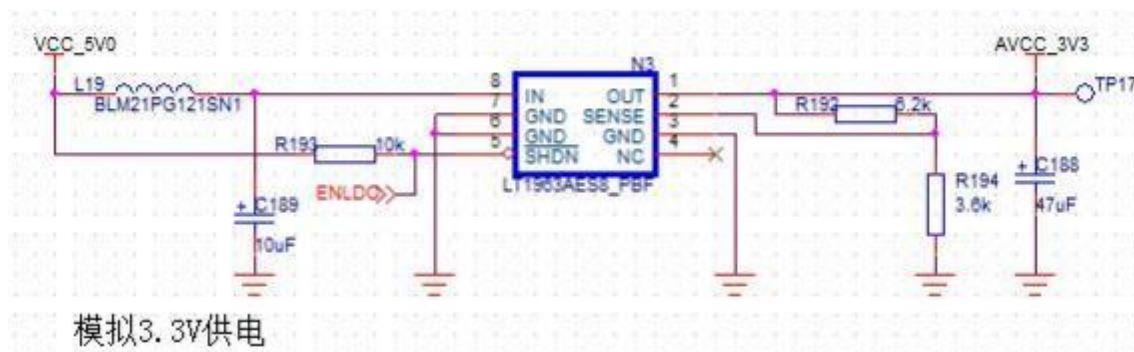
图3.2 796866-4实物照片

3.2 电源电路

底板共有三种电源，分别是数字5.0V，数字3.3V和模拟3.3V。其中数字5.0V和数字3.3V通过TI公司的电源芯片TPS54620产生。电路如图3.3所示：



模拟 3.3V 主要为两路光模块供电，通过ADI 公司的 LT1963AES8_PBF产生。电路如图3.4所示：



四、技术支持

在使用开发板遇到问题时，工作人员将通过电话，远程，Email 邮件, 技术论坛，QQ、微信群等交流途径，提供全方位的技术支持。

售后：开发板保修期为 6 个月，全国统一服务热线：020-39002701，QQ：1241003385 吴老师。

五、更多帮助

1、明德扬官网：

新版<http://www.mdy-edu.com/>

旧版<http://old.mdy-edu.com/>

2、客服热线：13316124179（微信同步）

3、论坛：www.fpgabbs.com

4、线上商城：

- (1) mdy-edu.taobao.com
- (2) shop247359875.taobao.com

5、FPGA交流群：603926119

6. 明德扬微信公众号：

