

一、常见问题

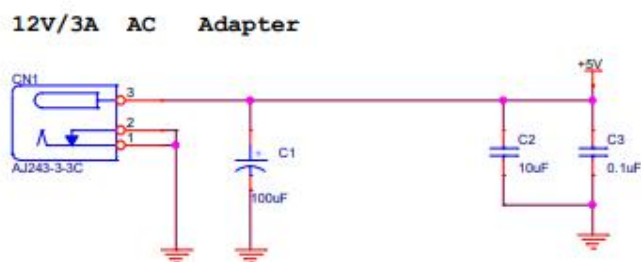
【问题 1】MP5650 核心板功耗概值？

答：功耗跟使用资源有关系，供电是底板直接进核心板的，一个核心板如果 12V 供电，估计 1A 左右电流，使用资源多估计就得 1-2A 了。

【问题 2】标的 12V/3A， 但后面标的是 5V，输入范围是 5~12V 都能支持吗？

答：是的，5-12V 这个范围内都可以，电压越大，需要的供电电流越小。

如果采用采用 5V 供电，建议选择最大输出 5A 的供电电流的电源。因为逻辑资源消耗很多时，担心供电电流不够。



【问题 3】核心板的供电范围是 5-12V，意思是这具范围内输入电源都可以，可以稳定地转换到后边，是吗？

答：是的。

【问题 4】同样是电源问题：这里的输入 5-12V 通过电源接口接入，后面直接写了+5V，这里相当于整个板子（核心加底板）供电，请问具体电压电流是多少？采用 5V 供电，电流要多大？

答：是的，我们开发板设计之初按 5V 供电设计的，实际上支持 5-12V 甚至更高，都没有问题。供电电压越高，所需要电流越小（因为功率是一定的）。未烧录代码时，底板+核心板所需要电流一共 300mA 左右。烧录代码后，电流就跟 FPGA 使用的逻辑资源量有关了。建议最大 5A 输出的电源，比较保险。电流小一点问题也不大，如 12V3A。

【问题 5】主要是要确认核心板输入电流电压和底板输入电流电压。

答：供电电压 5-12V 这个范围内都可以，电压越大，需要的供电电流越小。核心板上电电流约 250mA。逻辑资源消耗越多，所需要的电流越大。FPGA 上电，也需要一个较大的启动电流。所以建议选择 5A 的电源，实际使用根据资源量可能几百 mA 到 2-3 安培。地板也是根据选择的芯片种类、数量不同，所需要的电流大小不一样。目前这个地板，电流大约 50mA。

【问题 6】底板的作用？

答：可以按自己的需求设计底板，底板也可以做一些工作，比如光纤，还有一些 GPIO。

【问题 7】PCB 文件是否可以提供？

答：MP5700 底板 PCB 可以提供的，核心板不提供。（网盘资料里面有）

【问题 8】核心板 和底板 有没有做防反插设计？

答：为了对称好看，防插返没弄，J1-J4 是一一对应的

【问题 9】我们了解到这两个型号的板对板连接器现在货源紧张，贵公司能否提供采购支持？

答：目前货源比较充足，价格也比去年下降，我们公司可以提供。不用担心货源问题。

【问题 10】 GTX 的 TX 和 RX 交叉对接就可以了？不需要同步时钟吗？

答：不需要的 时钟嵌入到数据里了

【问题 11】 默认 QSPI FLASH 启动，那么这里如果使用 JTAG 启动的话，是否是直接进行烧录程序，会自动跳转 JTAG，还是需要跳线帽之类的操作？

答：是自动跳转 JTAG，不需要跳线等操作。

【问题 12】 这里提到一个贴片 JTAG 接口，能否提供封装？

答：提供的是一排间距为 1mm 的长方形焊盘，可以自己焊接线缆引出。

【问题 13】 软件是用什么版本的呀？

答：Cadence 16.7

【问题 14】 这 16 对 GTX 接口是包含在 276 个里面的数量吗？

答： 276 个普通 IO + 16 对 GTX 接口

【问题 15】 核心板 LVDS 的数量

答： 276 个普通 IO 就是 LVDS 的数量

【问题 16】 核心板的 IO 扇出是等距的吗？

答：K7 核心板的，每个 BANK，其 IO 都是等距的

【问题 17】千兆以太网都有哪些模式？

答：常用的 GMII、RMII、SGMII

【问题 18】如果不适用核心板上的 DDR，200M 的差分时钟是不是可以调整，比如说 100M 或 150M

答：可以调整的，用户根据自己需要做

【问题 19】EMCCLK 是做什么的，不使用这部分功能，这个时钟是不是可以不添加

答：可以不添加

【问题 20】如果 GTX 这个是做什么用的，如果做千兆以太网通讯，是否用到这个；如果不用 GTX 相关的，这个时钟是不是可以不添加

答：可以不添加

【问题 21】这个核心板上电和我的主控芯片上电有没有什么要求

答：上电要求和上电顺序没有要求

【问题 22】DDR3 是否可以跑 1600m

410T/325T 都可以

【问题 23】MP5650+5705 可以跑神经网络吗？

可以的，神经网络在 zynq 跑会比较好，

纯 fpga 可以跑，只是输出这块会麻烦一些，输出无非就是网口，咱们有网口例程

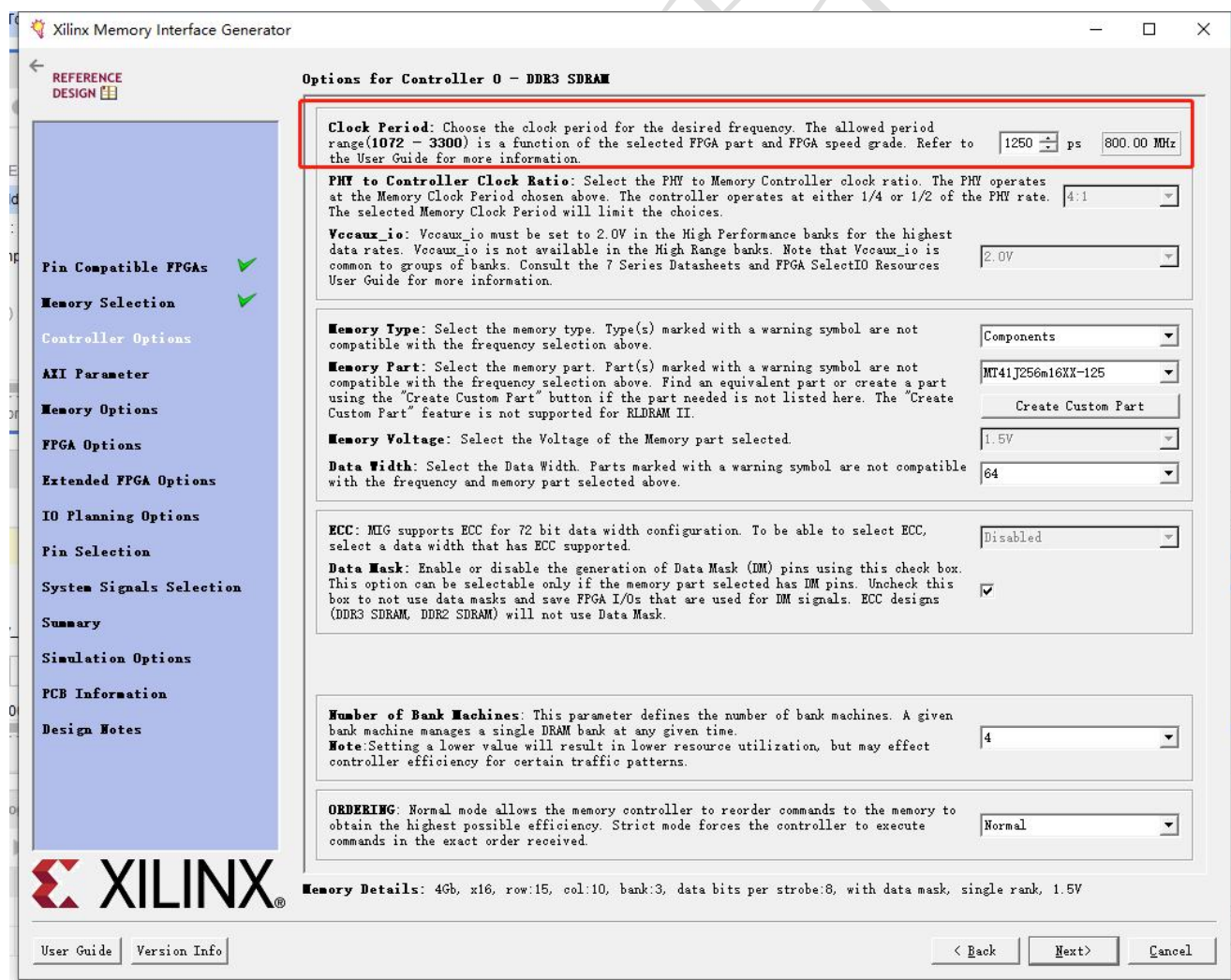
7z045 比 325 只是多了两个 a9 的核，pl 侧的资源都是一样的

【问题 24】FPGA 如何读取数据

答：fpga 是可以直接读取，但是需要自己设计 sata 的核，这块我们例程，只是保留硬件接口

【问题 25】规格书里写了 DDR3 支持 2 种速率 800M 和 933M，能否支持降频跑？

答：支持降频跑，在 DDR3 IP 核里按下进行设置。但我们提供的板子是支持 800M 速率的，不必降频。



The image shows the Xilinx Memory Interface Generator (MIG) Options for Controller 0 - DDR3 SDRAM configuration window. The window is divided into a left sidebar with navigation options and a main configuration area. The sidebar includes: Pin Compatible FPGAs (checked), Memory Selection (checked), Controller Options (selected), AXI Parameter, Memory Options, FPGA Options, Extended FPGA Options, IO Planning Options, Pin Selection, System Signals Selection, Summary, Simulation Options, PCB Information, and Design Notes. The main configuration area is titled "Options for Controller 0 - DDR3 SDRAM" and contains several sections:

- Clock Period:** Choose the clock period for the desired frequency. The allowed period range(1072 - 3300) is a function of the selected FPGA part and FPGA speed grade. Refer to the User Guide for more information. The value is set to 1250 ps, which corresponds to 800.00 MHz.
- PHY to Controller Clock Ratio:** Select the PHY to Memory Controller clock ratio. The PHY operates at the Memory Clock Period chosen above. The controller operates at either 1/4 or 1/2 of the PHY rate. The selected Memory Clock Period will limit the choices. The ratio is set to 4:1.
- Vccaux_io:** Vccaux_io must be set to 2.0V in the High Performance banks for the highest data rates. Vccaux_io is not available in the High Range banks. Note that Vccaux_io is common to groups of banks. Consult the 7 Series Datasheets and FPGA SelectIO Resources User Guide for more information. The value is set to 2.0V.
- Memory Type:** Select the memory type. Type(s) marked with a warning symbol are not compatible with the frequency selection above. The dropdown is set to Components.
- Memory Part:** Select the memory part. Part(s) marked with a warning symbol are not compatible with the frequency selection above. Find an equivalent part or create a part using the "Create Custom Part" button if the part needed is not listed here. The "Create Custom Part" feature is not supported for RDRAM II. The dropdown is set to MT41J256m16XX-125.
- Memory Voltage:** Select the Voltage of the Memory part selected. The dropdown is set to 1.5V.
- Data Width:** Select the Data Width. Parts marked with a warning symbol are not compatible with the frequency and memory part selected above. The dropdown is set to 64.
- ECC:** MIG supports ECC for 72 bit data width configuration. To be able to select ECC, select a data width that has ECC supported. The dropdown is set to Disabled.
- Data Mask:** Enable or disable the generation of Data Mask (DM) pins using this check box. This option can be selectable only if the memory part selected has DM pins. Uncheck this box to not use data masks and save FPGA I/Os that are used for DM signals. ECC designs (DDR3 SDRAM, DDR2 SDRAM) will not use Data Mask. The checkbox is checked.
- Number of Bank Machines:** This parameter defines the number of bank machines. A given bank machine manages a single DRAM bank at any given time. Note: Setting a lower value will result in lower resource utilization, but may effect controller efficiency for certain traffic patterns. The dropdown is set to 4.
- ORDERING:** Normal mode allows the memory controller to reorder commands to the memory to obtain the highest possible efficiency. Strict mode forces the controller to execute commands in the exact order received. The dropdown is set to Normal.

At the bottom, the "Memory Details" section shows: 4Gb, x16, row:15, col:10, bank:3, data bits per strobe:8, with data mask, single rank, 1.5V. Navigation buttons at the bottom include "User Guide", "Version Info", "< Back", "Next >", and "Cancel".

二、 技术支持

在使用开发板遇到问题时，工作人员将通过电话，远程，Email 邮件,技术论坛，QQ、微信群等交流途径，提供全方位的技术支持。

售后：开发板保修期为 6 个月，全国统一服务热线：020-39002701，QQ：1241003385

吴老师。

三、 更多帮助

1、明德扬官网：

(新版) <http://www.mdy-edu.com/>

(旧版) <http://old.mdy-edu.com/>

2、客服热线：13316124179（微信同步）

3、论坛：www.fpgabbs.com

4、线上商城：

(1) www.mdy-edu.taobao.com

(2) <https://shop247359875.taobao.com>